

Semiconductor device and method for fabricating the same

Patent number: CN1119346

Publication date: 1996-03-27

Inventor: KIM JAE KAP (KR)

Applicant: HYUNDAI ELECTRONICS IND (KR)

Classification:

- international: H01L21/8238; H01L23/528; H01L21/70; H01L23/52;
(IPC1-7): H01L27/00; H01L27/086; H01L21/60;
H01L21/74; H01L21/8232; H01L23/638

- european: H01L21/8238; H01L23/528C

Application number: CN19950106326 19950608

Priority number(s): KR19940012822 19940608; KR19940012823 19940608

Also published as:



JP8083852 (A)

GB2290167 (A)

DE19521006 (A)

[Report a data error](#)

Abstract not available for CN1119346

Abstract of corresponding document: GB2290167

A P type polysilicon gate (19A) is connected to an N type polysilicon gate (18B) by a bilayer conductive wiring structure (14', 17') without any contact, which significantly contributes to high integration. The bilayer conductive wiring structure is formed such that one conductive wire (17') overlies a second (14'). Electrical insulation between the two wires and/or between the upper wire (17') and the gate structure is provided by a barrier layer (15') which has also acted as an etch mask during formation of the gate structure.

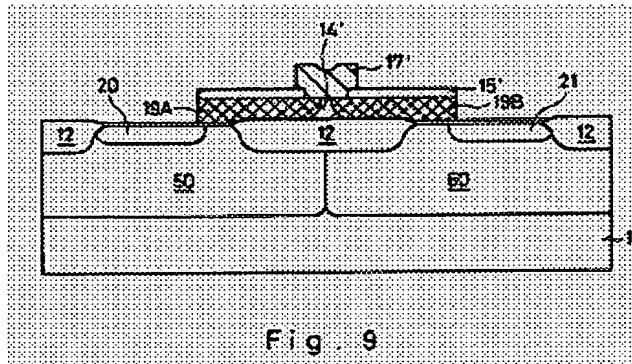


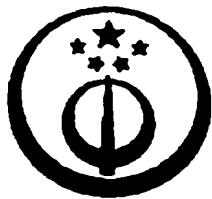
Fig. 9

Data supplied from the esp@cenet database - Worldwide

Best Available Copy

[19]中华人民共和国专利局

0343740



[12] 发明专利申请公开说明书

[11] 公开号 CN 1119346A
(Publication No.)

CPME0343740

[21]申请号 95106326.X

[43]公开日 1996年3月27日 (Publication Date)

[51] Int.Cl⁶

H01L 27 / 085

[22]申请日 95.6.8

[30]优先权

[32]94.6.8 [33]K.R.(3)194-12822

[32]94.6.8 [33]KR[31]94-12823

[71]申请人 现代电子产业株式会社

地址 韩国京畿道

[72]发明人 金裁甲

[74]专利代理机构 北京市中原信达知识产权代理公司

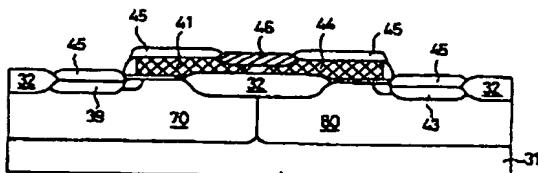
H011-21 / 8232 H011-21 / 74

[54]发明名称 半导体器件及其制造方法

[57]摘要

一种半导体器件，包括一双多硅栅结构，其中的 P 型多硅栅与 N 型多硅栅是无接触点双层导电布线结构连接的，因而对高集成化有显著的贡献，以及一种改善产额的制造半导体器件的方法。

权利要求书 4 页 说明书 11 页 附图页数 7 页



(BJ)第 1456 号

权利要求书

1. 一种形成半导体器件中的导电布线的方法,该方法包括以下各步骤:

在一绝缘层上形成第一导电层;

在第一导电层上形成腐蚀阻挡层;

利用第一导电布线掩模选择蚀刻该腐蚀阻挡层,形成腐蚀阻挡层图形;

在所得结构上形成第二铺垫导电层;

利用第二导电布线掩模形成光敏膜图形,该掩模具有与所说的腐蚀阻挡图形重叠的布局;

用第二导电布线掩模蚀刻第二导电层,形成第二导电布线;

用光敏膜图形和腐蚀阻挡层图形的结合作腐蚀掩模刻蚀第一导电层,形成第一导电布线;以及

去掉光敏膜图形,获得一双层导电布线结构,其中的第二导电布线叠置于一部分第一导电布线之上。

2. 一种根据权利要求1的方法,其中所说的第一导电层是一层硅,而所说的第二导电层是一层硅化物。

3. 一种根据权利要求1的方法,其中所说的第一导电层是一层铝,而所说的第二导电层是一层钨或TiN。

4. 一种根据权利要求1的方法,其中所说的腐蚀阻挡层是由氧化物形成的。

5. 一种制造具有双多硅栅结构的半导体器件的方法,该方法包括以下各步骤:

在半导体基片上形成 P 阵和 N 阵,并在包括 P 阵和 N 阵边界的预定区域上形成元件隔离膜;

依次形成一栅氧化膜、第一导电层及腐蚀阻挡层;

利用由两个分开的区域构成的栅极掩模蚀刻该腐蚀阻挡层,形成由两个分开的区域构成的腐蚀阻挡层图形;

淀积一铺垫的第二导电层,并用第二导电布线掩模刻蚀它,形成第二导电层图形,所说的第二导电布线掩模的放置是使它与腐蚀阻挡层图形的两个分开的区域都重叠;

用第二导电布线掩模和腐蚀阻挡层的结合作腐蚀掩模蚀刻第一导电层,形成第一导电层图形;

使用 P 型离子注入掩模将 P 型杂质注入到 N 阵和第一导电层图形的一部分内,形成 P 型源/漏极和 P 型栅极,所说的 P 型离子注入掩模的放置是为掩蔽包括第一导电层图形其余部分的 P 阵区域;以及

使用 N 型离子注入掩模将 N 型杂质注入到 P 阵和第一导电层图形的其余部分内,形成 N 型源/漏极和 N 型栅极,所说的 N 型离子注入掩模的放置是为掩蔽包括第一导电层图形一部分的 N 阵区域。

6. 一种根据权利要求 5 的方法,其中所说的栅极掩模的分开区域距 P 型栅极和 N 型栅极之间的边界各有一定距离。

7. 一种制造具有双多硅栅结构的半导体器件的方法,该

方法包括以下各步骤：

在一半导体基片内形成一P阱和一N阱，并在包括P阱和N阱的边界的预定区域上形成元件隔离膜；

依次形成一栅氧化膜、第一导电层及氧化阻挡层；

使用N型离子注入掩模蚀刻一部分氧化阻挡层，将P型杂质注入到P型离子注入掩模下方的N阱和第一导电层图形的一部分，形成P型源/漏极及P型栅极，所说的P型离子注入掩模的位置是为掩蔽包括第一导电层图形其余部分的P阱区域；

使用P型离子注入掩模蚀刻另一部分氧化阻挡层，形成一氧化阻挡层图形，将N型杂质注入到N型离子注入掩模下方的P阱和另一部分第一导电层图形内，形成N型源/漏极和N型栅极，所说的N型离子注入掩模的位置是为掩蔽包括一部分第一导电层图形的N阱区域并与N型离子注入掩模重叠；

在P型和N型栅极及栅氧化膜的裸露表面热生长预定厚度的氧化物；

去掉氧化阻挡层图形，露出栅极的一部分；

在栅极的裸露部分上选择形成第二导电层，以使N型栅极与P型栅极互连。

8. 一种根据权利要求7的方法，其中所说的热氧化物的厚度约为200~700Å。

9. 一种根据权利要求7的方法，其中所说的第二导电层由选择的钨制成，其厚度约在500~1.500Å的范围。

10. 一种根据权利要求7的方法,其中所说的第二导电层是以自对准方式,通过在所得结构上沉积一层钛而形成的,经退火,在栅极的裸露部分形成一层硅化物,再去掉剩下的钛层。

11. 一种半导体器件,该器件包括:

在半导体基片上的一P阱和一相近的N阱;

在包括P阱和N阱之间边界预定区域上所形成的一元件隔离膜;

在P阱和N阱上所形成的栅氧化层;

从P阱的一部分通过元件隔离膜延展至N阱的一部分的双多硅栅结构,所说的双多硅栅由各自形成在P阱区和P阱区之上的P型栅极和N型栅极构成;以及

在双多硅栅极上所形成的用于P型栅极和N型栅极互连的一导电层。

12. 一种根据权利要求11的半导体器件,其中所说的导电层是由选择的钨或Ti的硅化物制成的。

说 明 书

半导体器件及其制造方法

本发明一般涉及一种半导体器件及其制造方法,特别涉及一种带有双层导电布线结构且互连的不同类型导电布线无接触点的半导体器件,因此,有利用半导体器件的高集成化。本发明还涉及制造该半导体器件的方法,以改进其产额。

半导体器件的高集成化必然伴随将器件一个个连接起来的复杂导电布线。这种复杂的布线一般做成多层结构,其中,形成许多接触点以使每层布线相互连接起来,这严重地影响了最终半导体器件整个结构的形貌。这种构形导致产额的下降,并成为阻碍进一步提高半导体器件集成化的主要障碍。

半导体器件的高集成化迫使MOSFET的沟道长度要缩短。为尽量缩短沟道长度,P型MOSFET利用掺P型杂质的多硅栅。对于N型MOSFET利用掺N型杂质多硅栅。在此情况下,为了一个把P型多硅与N型多硅连接的栅线,要制备额外的连接线。此外,因为这种连线会在具有不同杂质类型的多硅之间的边界区域接触,那么在设计的半导体器件时必须将用于该接触的面积去除。

另外,只有在进行各杂质两次注入工艺和接触工艺之后,才能使不同类型栅线相互电连接。因此,这种已有技术的工艺过程是复杂的,由此技术所制得的半导体器件难以高集

成化，因为接触区占去了大面积。

所以，本发明的主要目的在于提供一种带有双层导电布线结构且没有布线接点的半导体器件，因此，改善了器件的形貌，以及制造该器件的方法。

本发明的另一目的在于提供一种带有双多硅栅结构的半导体器件，其中双层导电布线结构使 P 型多硅栅与 N 型多硅栅连接且无接点，因而对高集成化有明显的贡献，以及制造该器件的方法。

本发明的又一目的在于提供一种带有双多硅栅结构的半导体器件，其中通过选择性的钨或硅化物使 P 型多硅栅与 N 型多硅栅连接且无接点，因而对高集成化有明显的贡献，以及制造该器件的方法。

根据本发明的一种方案，提供一种在半导体器件内形成导电布线的方法，该方法包括以下各步骤：在一绝缘层上形成第一导电层；在第一导电层上形成腐蚀阻挡层；利用第一导电布线掩模选择蚀刻腐蚀阻挡层，形成腐蚀阻挡层图形；在所得结构上形成第二铺垫导电层；用其布局与所说的腐蚀阻挡图形重叠的第二导电布线掩模形成光敏膜图；用第二导电布线掩模刻蚀第二导电层，形成第二导电布线；用光敏膜图形与腐蚀阻挡层图形的结合作掩模刻蚀第一导电层，形成第一导电布线；以及去掉光刻膜图形，获得一双层导电布线结构，其中的第二导电布线叠置在第一导电布线的一部分之上。

根据本发明的另一方案，提供制造一种具有双多硅栅结

构的半导体器件的方法，该法包括以下各步骤：在半导体基片内形成P阱和N阱并在包括P阱和N阱边界的预定区域上形成元件隔离膜；依次形成栅氧化膜、第一导电层和腐蚀阻挡层；利用由两个分离区域构成的栅极掩膜刻蚀腐蚀阻挡层，形成包括两个分离区域的腐蚀阻挡层图形；淀积一铺垫第二导电层并使用第二导电布线掩模对其蚀刻，形成第二导电布线层图形，所说的第二导电布线掩模的放置是使它与腐蚀阻挡层图形的两个分离区域都重叠；用第二导电布线掩模和腐蚀阻挡层的结合作掩模刻蚀第一导电布线层，形成第一导电布线层图形；用P型离子注入掩模将P型杂质注入到N阱和第一导电层图形的一部分，形成P型源/漏极及P型栅极，所说的P型离子注入掩模的放置是掩蔽包括第一导电层图形另一部分的P阱区域；以及用N型离子注入掩模将N型杂质注入到P阱和第一导电层图形的另一部分内，以形成N型源/漏极及N型栅极，所说的N型离子注入掩模的放置是掩蔽包括第一导电层图形前一部分的N阱区域。

根据本发明的再一个方案，提供一种半导体器件，该器件包括：在半导体基片内的一P阱及一相邻的N阱；在包括P阱和N阱之间的边界的预定区域上所形成的元件隔离膜；在P阱和N阱上所形成的栅氧化层；一从P阱的一部分通过元件隔离膜伸展到N阱的一部分的双多硅栅结构，所说的双多硅栅由各自位于P阱区和N阱区上的P型栅极及N型栅极构成，以及在双多硅栅结构上所形成的用于P型栅极和N型栅极互连的导电层。

参照附图通过对本发明优选实施例的详细说明会更加明了本发明的上述目的和其它优点。

图 1 是表示根据本发明第一实施例的双层导电布线结构的掩模排列的布局图；

图 2~4 是表示根据本发明的第一实施例形成双层导电层结构的方法的示意剖面图；

图 5 是表示根据本发明的第二实施例用于具有双多硅栅结构的半导体器件的掩模排列的布局图；

图 6~9 是表示根据本发明第二实施例制作具有双多硅栅结构的半导体器件的方法的示意剖面图，其中的 P 型多硅栅与 N 型多硅栅是无接点的电连接的。

图 10 是表示根据本发明第三实施例用于具有双多硅栅结构的半导体器件的掩模排列的布局图；

图 11~15 是表示根据本发明第三实施例，制作具有双多硅栅结构的半导体器件的方法的示意剖面图，其中的 P 型多硅栅与 N 型多硅栅是无接点的电连接的。

参照附图会更好地了解本发明的优选实施例应用，其中相同的标号分别用于相同或相应的部件。

参照图 1，图中是根据本发明第一实施例的导电布线掩模的布局图。如布局图所示，第一导电布线掩模 7 与第二导电布线掩模 8 的排列是使它们相互部分重叠。

现在参照图 2~4，以取自沿图 11—I 线的剖面图来解说形成导电布线的优选工艺步骤。

如图 2 所示,本发明第一实施例从在一绝缘体 1,如层间绝缘膜或平面化层上形成的将成为下层导电布线的第一导电层 2 开始。然后,在第一导电层 2 上形成腐蚀阻挡层 3,接着用图 1 的第一导电布线掩模 7,在腐蚀阻挡层 3 的预定区域上形成第一光敏膜图形 4。腐蚀阻挡层是由一种对于后面步骤形成的第二导电布线显示出大的腐蚀选择比的材料,如氧化物制成。

现在参照图 3,采用第一光敏膜图形 4 作腐蚀掩膜选择刻蚀腐蚀阻挡层 3,形成腐蚀阻挡层图形 3',去掉第一光敏膜图形 4 后,淀积一铺垫的第二导电层 5,接着用图 1 的第二导电布线掩模 8,在第二导电层 5 上形成第二光敏膜图形 6。该第二光敏膜图形 6 与腐蚀阻挡层图 3' 重叠,这是由于第二导电布线掩模 8 与第一导电布线掩模 7 的重叠之故,如图 1 所示。在物质上第一导电层 2 不同于第二导电层 5。例如,倘如第一导电层 2 由硅制成,则第二导电层 5 可由硅化物或钨形成。此外,第一导电层 2 可由铝制成,而第二导电层 5 可由钨或 TiN 制成。

图 4 是经两次蚀刻步骤后的形成在某些部分为双层结构而在其余部分为单层结构的复合导电布线的剖面图。在一蚀刻步骤中,用第二光敏膜 6 作为掩膜去掉第二导电层 5,形成第二导电布线 5'。第二腐蚀步骤是按上述方式进行的,用第二光敏膜图形 6 和腐蚀阻挡层图形 3' 同时作为掩膜,去掉所说的第一导电层 2 的裸露区域,形成第一导电布线图形 2'。其结果,形成由第一导电布线 2' 和第二导电布线 5'

构成的双层结构以及单独由第一导电布线 2' 构成单层结构。单层结构可用来作普通的导电布线，如电阻较高的布线或作为耐锈蚀性和/或耐擦伤性不良的导电区域，而双层结构可以用来作为耐锈蚀性和/或电学性能优良的导电区域。

参照图 5，它是根据本发明第二实施例的在半导体器件上形成双多硅栅结构的布线掩模的布局图，其中的 P 型多硅栅与 N 型多硅栅是电连接的。在此布局图中，有源掩模 A 是有规则地分隔开的。对于双多硅栅结构，P 型离子注入掩模 C 设置成与 N 型离子注入掩模 D 分隔开，其中，P 型离子注入掩模 C 导致一个有源掩模 C 的形成，N 型离子注入掩模 D 导致另一个相邻的有源掩模的形成。在 P 型离子注入掩模 C 和 N 型离子掩模 D 之间是一第二导电布线掩模 F。栅电极掩模 E 从一个第二导电布线掩模 F 穿过每个离子注入掩模到另一掩模，复盖第二导电布线掩模 F。

图 6~9 是说明制作具有 P 型和 N 型双多硅栅结构的半导体器件的优选工艺步骤的取自图 5 的 II—I 线的剖面图。

现在参照图 6，首先，在半导体基片 11 内形成 N 阵 50 和 P 阵 60，在以 N 阵 50 和 P 阵 60 之间边界为中心的预定的元件隔离区上通过氧化技术用图 5 的有源掩模形成元件隔离膜 12。此后，在半导体基片的裸露区域上形成一栅氧化膜 13，接着，在所得结构上形成铺垫的第一导电层 14，然后在导电层 14 上形成铺垫的腐蚀阻挡层 15。第一导电层 14 最好用多晶硅或非晶硅制作，而腐蚀阻挡层 15 最好用一种

氧化物制成。在该腐蚀阻挡层 15 上涂敷厚的光敏膜，采用图 5 的栅极掩模进行曝光，然后进行显影，形成第一光敏膜图形 6。

参照图 7，利用第一光敏膜图形 16 作腐蚀掩模，选择蚀刻腐蚀阻挡层 15，形成腐蚀阻挡图形 15'，每个距阱间边界连线有一段距离，在去掉第一光敏膜图形 16 后淀积一铺垫的第二导电层 17。在第二导电层 17 上涂敷一厚的第二光敏膜后，在图 5 的第二导电布线掩膜 F 掩蔽下曝光，显影，形成第二光敏膜图形 18。第二光敏膜图形 18 与两个腐蚀阻挡层图形 15' 重叠，这是由于第二导电布线掩膜 F 与第一导电布线掩膜 E 重叠之故，如图 5 所示。

图 8 是经过两次腐蚀步骤之后，形成在某些部分为双层结构，在其余部分为单层结构的复合导电布线的剖面图。在第一腐蚀步骤中，用第二光敏膜 18 作为掩膜去掉第二导电层 17，以便形成第二导电布线 17'。按以下方式进行第二腐蚀步骤，以第二光敏膜 18 和腐蚀阻挡层图形 15" 同时作掩模，去掉所说的第一导电层 14 的裸露部分，形成第一导电布线 14'。结果是，获得了由第一导电布线 14' 和第二导电布线 17' 两部分构成的导电布线结构。实际上，第一导电布线 17 从一个元件隔离膜伸展至另一个，如图 5 的栅极掩膜 E 所示。

图 9 是在与双多硅结构一起形成一 P 型 MOSFET 和一 N 型 MOSFET 后的剖面图。为这两种 MOSFET 进行了两种杂质注入工艺。在第一杂质注入工艺中，用图 5 的 P 型离子

注掩模 C 在 N 阵 50 和第一导电布线 14' 的一侧注入高浓度的 P 型杂质,例如,硼离子,以便分别形成 P 型源/漏极 20 和 P 型栅极 19A。第二杂质注入工艺与第一步相同。即,利用图 5 的 N 型离子注入掩模 D,在 P 阵 60 和第一导电布线 14' 的另一边注入 N 型杂质,例如砷离子,以分别形成 N 型源/漏极 21 和 N 型栅极 19B。由第二导电布线 17' 达到 N 型栅极 19B 和 P 型栅极 19A 之间的电连接。

参照图 10,该图是用于根据本发明第三实施例在半导体器件上形成双多硅栅结构的布线掩模的布局图,其中的 P 型多硅栅与 N 型多硅栅是电连接。在此布局图中,矩形有源掩模 A 被有规则地隔开。栅极掩模 B 穿过有源掩模 A 而进一步延展。对于双多硅栅结构,P 型离子注入掩模 C 设置成与 N 型离子注入掩模 D 分开,其中,P 型离子注入掩模 C 导致一有源掩模 A 的形成,N 型离子注入掩模 D 导致另一相邻的有源掩模的形成。

图 11~15 说明制造具有 P 型和 N 型多硅栅的双多硅栅结构的半导体器件的优选工艺步骤取自图 10 的 III—III 线的剖面图。

现在参照图 11,双多硅结构从在半导体基片 31 上形成 N 阵 70 和 P 阵 80 开始,在以 N 阵 70 和 P 阵 80 边界为中心的预定元件隔离区上,用图 10 的有源掩模 A,通过氧化技术,形成一元件绝缘膜 32。此后,在半导体基片 31 裸露的区域上形成一栅氧化膜 33,接着在所得结构上形成铺垫的第一导电层,然后再在第一导电层上形成铺垫的氧化阻挡层。

采用图 10 的栅极掩模 B, 蚀刻氧化阻挡层和导电层, 形成氧化阻挡层图形 35 和栅极 34。该氧化阻挡层最好由氮化物制成。然后, 在 N 阵 70 和 P 阵 80 注入低浓度的杂质, 形成轻掺杂漏区 37 和 38。将绝缘膜衬垫 36 加在栅极 34 的侧壁。在所得结构上形成厚的铺垫的光敏膜, 在图 10 的 P 型离子注入掩模 C 的作用下经曝光和显影, 以便形成第一光敏膜图形 40, 它覆盖了包括一部分氧化阻挡层 35 的 P 阵区, 但露出了包括氧化阻挡层 35 的 P 阵区, 但露出了包括氧化阻挡层 35 其余部分的 N 阵区。

现在转到图 12, 通过刻蚀去掉氧化阻挡层 35 的裸露部分, 形成第一氧化阻挡图形 35', 露出一部分栅极 34, 在栅极 34 的裸露部分和 N 阵 70 内注入高浓度的 P 型杂质, 例如硼离子, 形成一 P 型栅极 41 和一 P 型源/漏极 39。在去掉第一光敏膜图形 40 后, 在所得结构上涂敷一新的厚的铺垫光敏膜。同样, 在图 10 的 N 型离子注入掩模 P 的掩蔽下曝光, 然后显影, 形成第二光敏膜图形 42, 它覆盖包括第一氧化阻挡层图形 35' 的 N 阵区, 但露出了包括第一氧化阻挡层图形 35' 其余部分的 P 阵区。

照图 13, 通过腐蚀去掉第一氧化阻挡层图形 35', 形成一第二氧化阻挡层图形 35'', 露出一部分栅极 34, 在栅极 34 的裸露部分和 P 阵 80 内注入高浓度的 N 型杂质, 例如磷离子, 形成 N 型栅极 44 及 N 型源/漏极 43。去掉第二光敏膜图形 42。如该图所示, 第二氧化阻挡图形 35'' 近似地位于栅极 34 的中部, 并与 P 型栅极 41 和 N 型栅极 44 两者都重叠。

图 14 是在栅极裸露部分上和半导体基片 31 的阱区上生长厚约 200~700Å 的热氧化层 45，接着去掉第二氧化阻挡层 35”之后的剖面图。热氧化层 45 是用第二氧化阻挡层图形 35”作掩模，通过进行热氧化工艺而得到的。

图 15 是在栅极的中心区，去掉与 P 型栅极 41 和 N 型栅极 44 相重叠的第二氧化阻挡层图形 35”得到的裸露区，形成第二导电层 46，使 P 型栅极 41 和 N 型栅极 44 互连后的剖面图。第二导电层 46 可以通过各种普通工艺形成，例如，可以仅在由多硅制成的栅极上选择生长厚 500~1,500Å 的钨而形成。另一普通工艺包括在整个表面上淀积金属材料如钛，然后退火。以在栅极的裸露区域上形成厚 300~1,000Å 的硅化物层，对留下的金属材料，例如用 $\text{NH}_4\text{OH}/\text{H}_2\text{O}_2/\text{H}_2$ 混合液作湿法腐蚀。此外，在整个所得结构上形成导电层后，可以使用光刻工艺。

综上所述，根据本发明第一和第二实施例的方法，同时实现了 P-MOSFET 和 N-MOSFET 的形成及以双多硅栅结构使 P 型和 N 型多硅栅的连接，于是它不需要额外的任何接触点工艺，而简单化，因而改善了产额。此外，无接触点大大有助于此器件的高集成化。

根据本发明的第三实施例，双多硅栅极结构的 P 型栅极和 N 型栅极是通过其上所形成的导电层而互连的。因此，无需接触区域，而改善了此器件的高集成化。使工艺过程变得简单，而增加了产额。

对于本领域的技术人员，在阅读前面的说明之后，应更

容易明了本文所公开的发明的其它特性、优点及实施方案。在这种意义上讲，虽然非常详细地描述了本发明的具体实施例，但在不脱离说明书的记载和权利要求所请求保护的本发明的精神和范畴前提下，可以对这些实施例做出各种变化和改型。

说 明 书 附 图

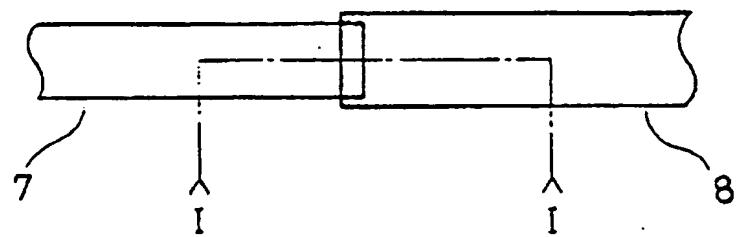


图 1

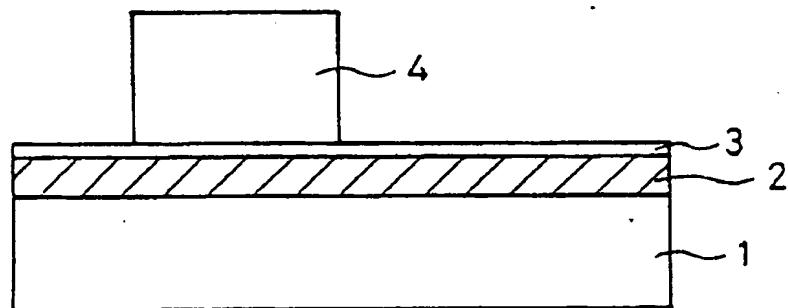


图 2

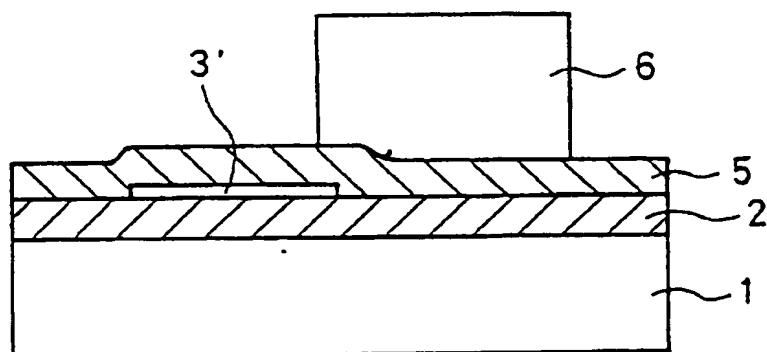


图 3

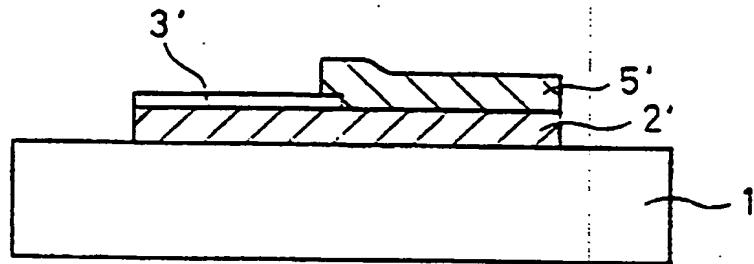


图 4

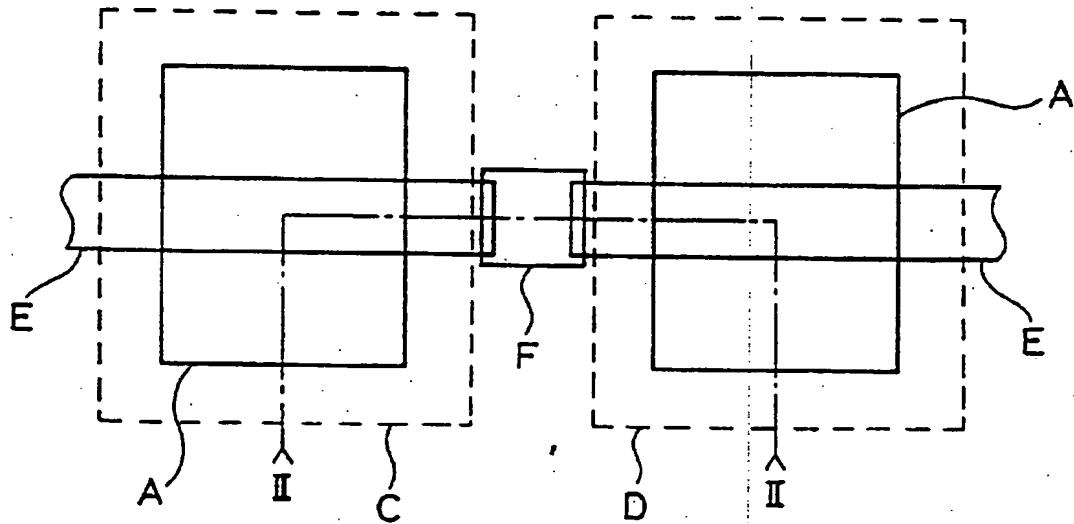


图 5

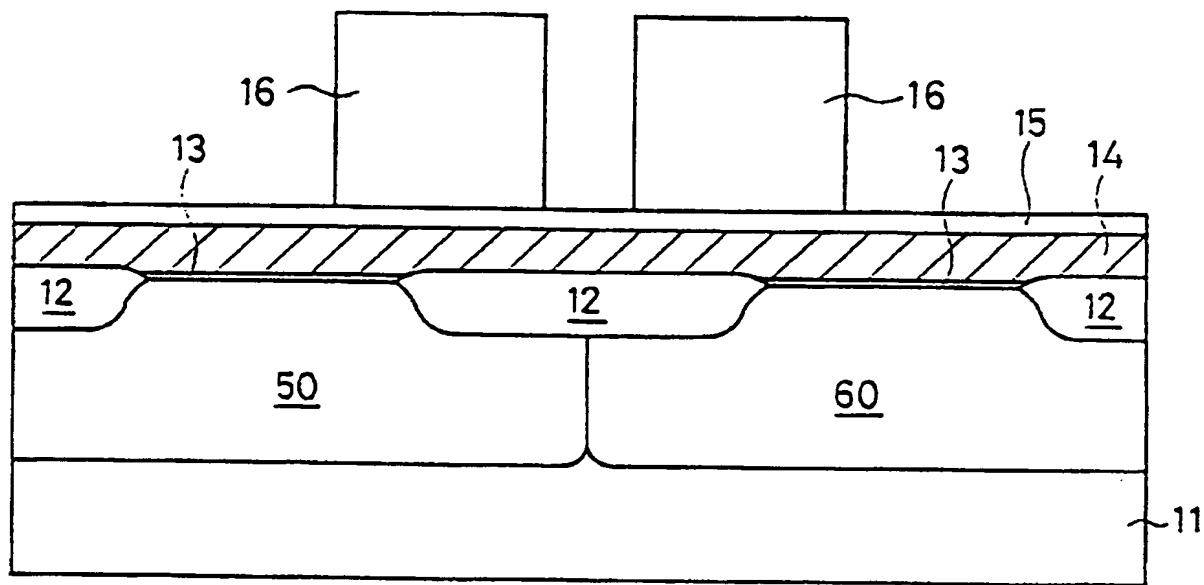


图 6

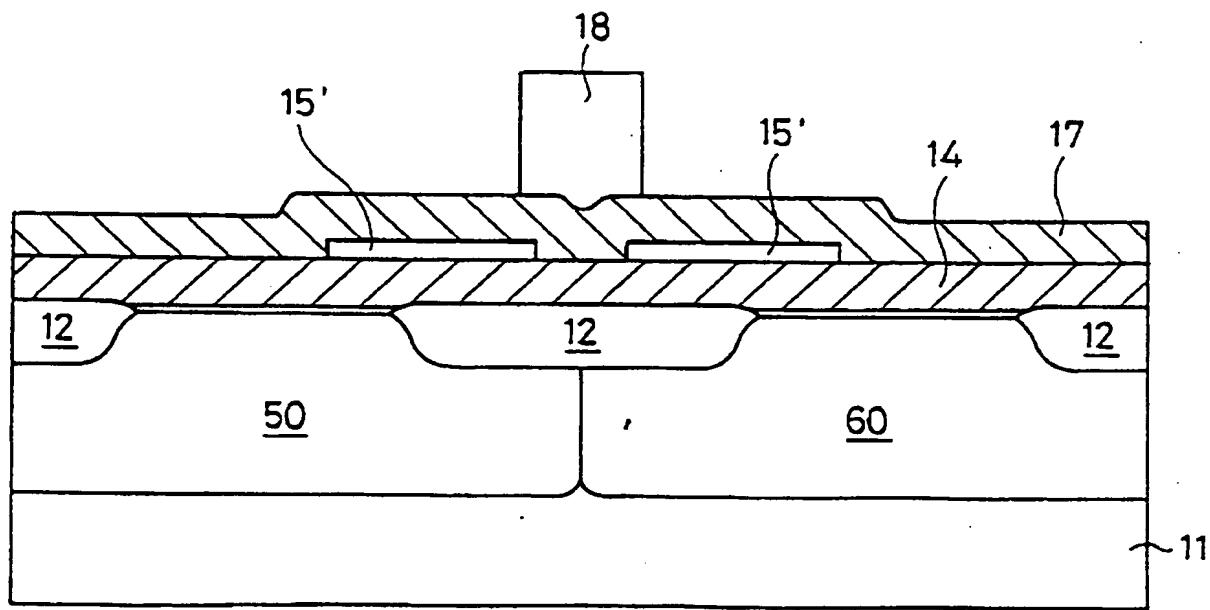


图 7

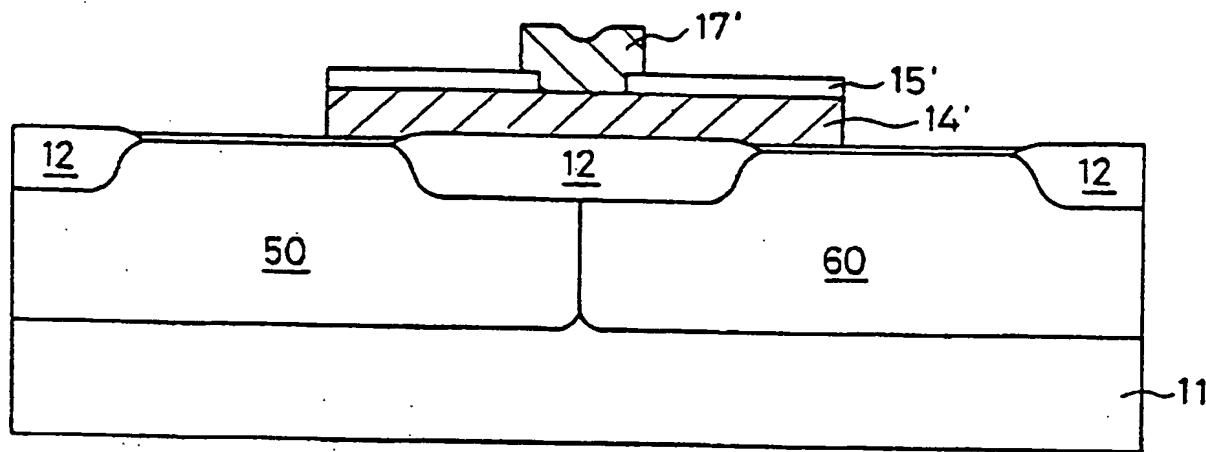


图 8

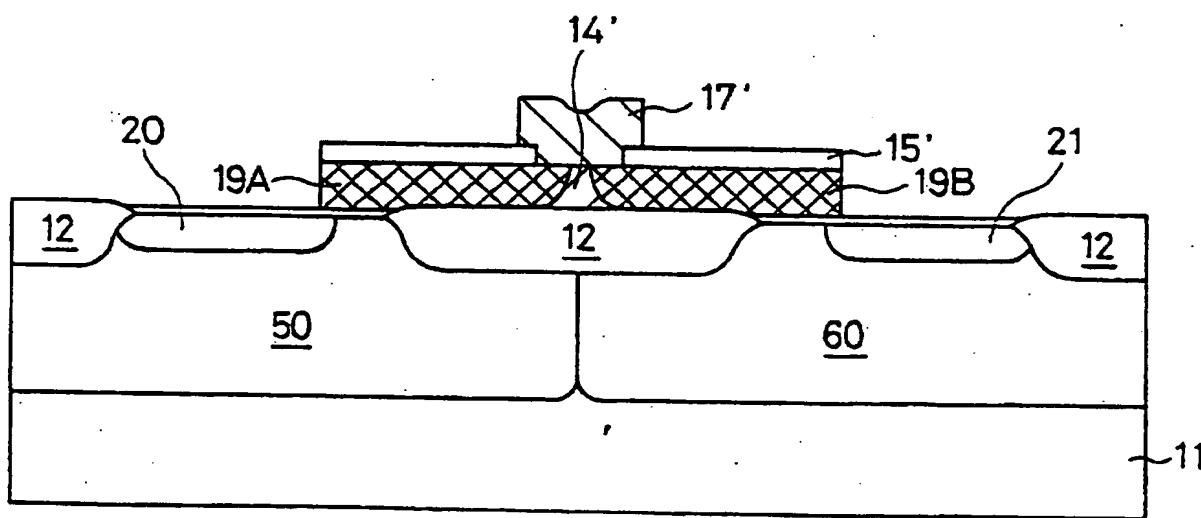


图 9

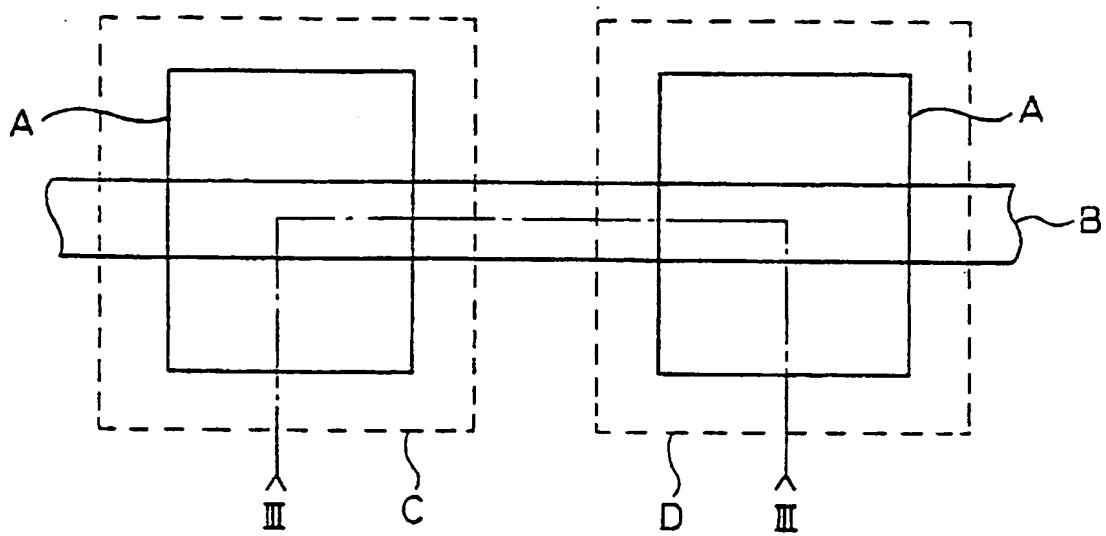


图 10

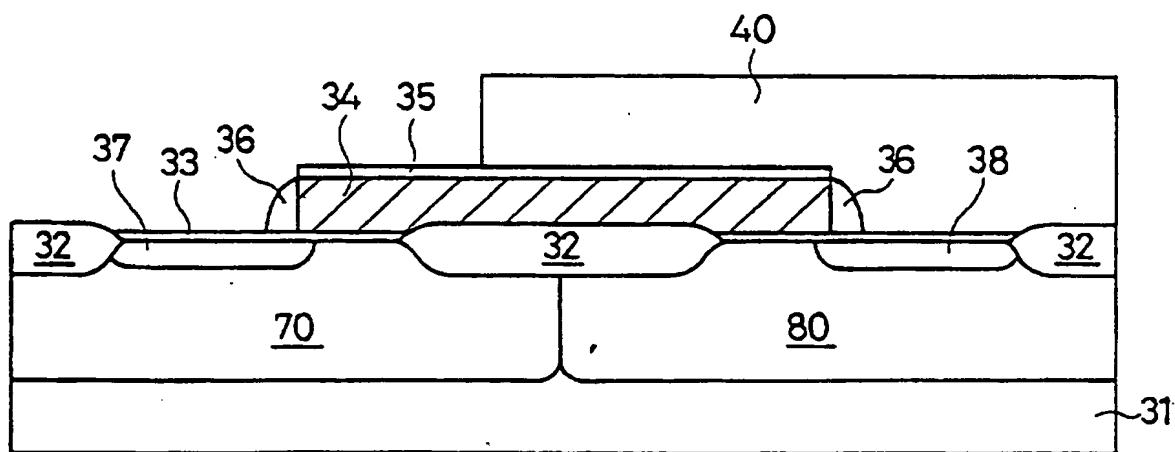


图 11

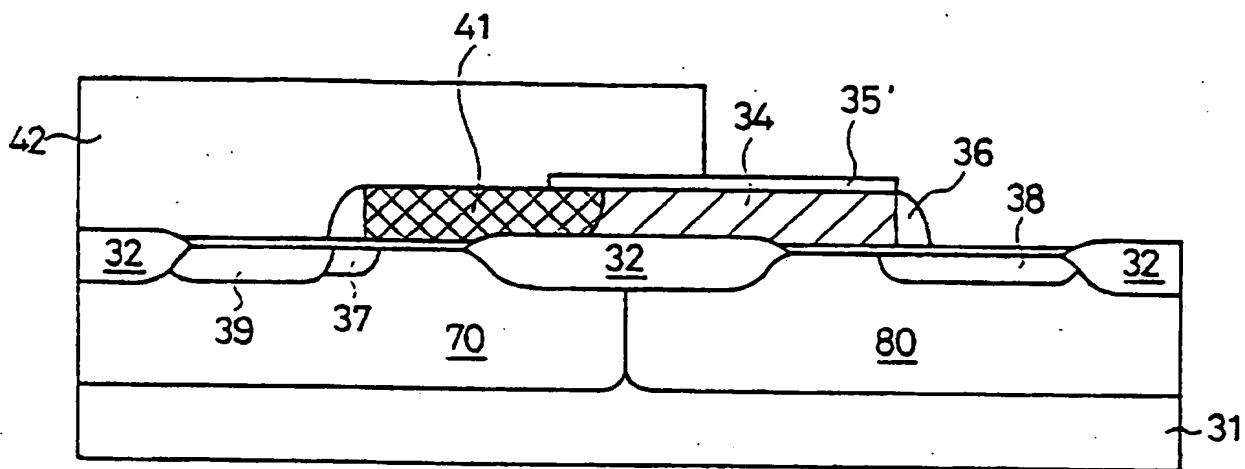


图 12

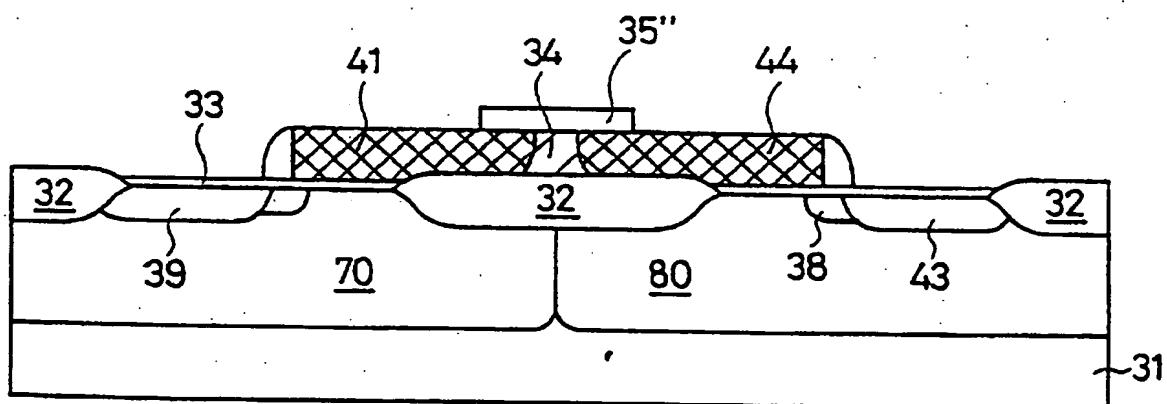


图 13

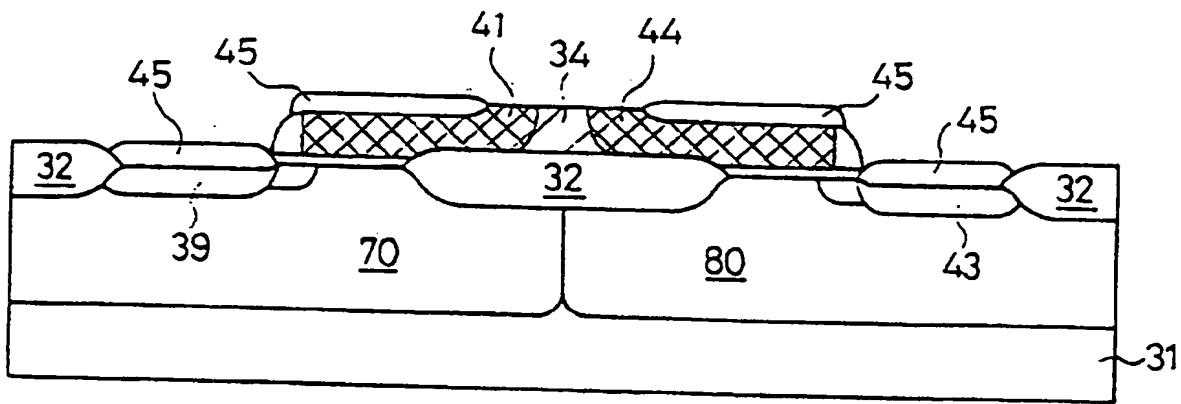


图 14

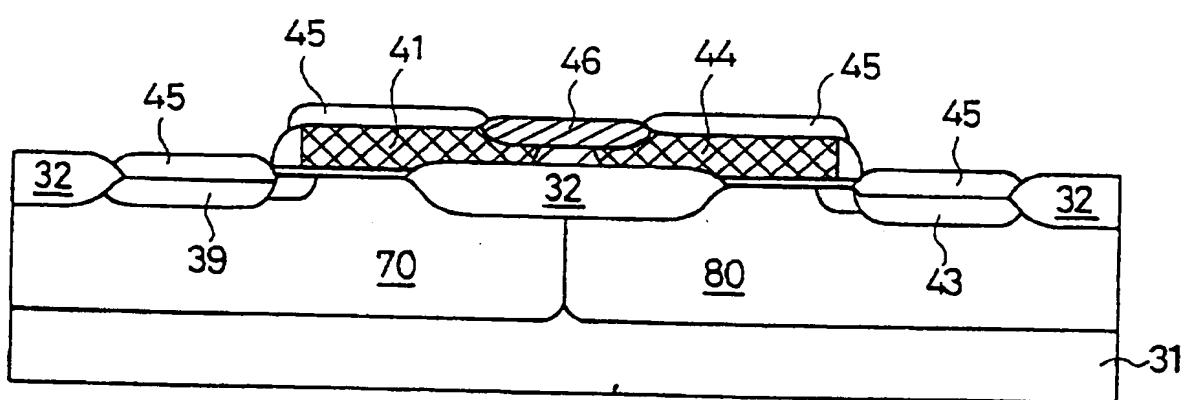


图 15

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER: _____**

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.